

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Seo et al.

Serial No. To be assigned

Filed: Concurrently herewith

For: **METHODS OF FORMING A CONDUCTIVE STRUCTURE IN AN  
INTEGRATED CIRCUIT DEVICE**

Date: March 9, 2004

MAIL STOP PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed are certified copies of the following Korean priority applications:

10-2003-0035657, filed June 3, 2003.

Respectfully submitted,

  
D. Scott Moore  
Registration No. 42,011

Myers Bigel Sibley & Sajovec, P.A.  
P. O. Box 37428  
Raleigh, North Carolina 27627  
Telephone: (919) 854-1400  
Facsimile: (919) 854-1401  
Customer No. 20792

**CERTIFICATE OF EXPRESS MAILING**

Express Mail Label No. EV 381444875 US

Date of Deposit: March 9, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450



Traci A. Brown



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0035657  
Application Number

출 원 년 월 일 : 2003년 06월 03일  
Date of Application JUN 03, 2003

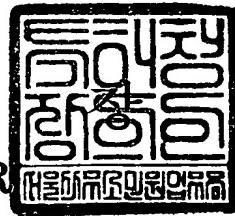
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 01 월 26 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	서지사항 보정서
【수신처】	특허청장
【제출일자】	2003.12.26
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【사건의 표시】	
【출원번호】	10-2003-0035657
【출원일자】	2003.06.03
【심사청구일자】	2003.06.03
【발명의 명칭】	반도체 장치의 도전성 구조체 형성 방법
【제출원인】	
【접수번호】	1-1-2003-0199269-70
【접수일자】	2003.06.03
【보정할 서류】	특허출원서
【보정할 사항】	
【보정대상항목】	발명자
【보정방법】	정정
【보정내용】	
【발명자】	
【성명의 국문표기】	서정훈
【성명의 영문표기】	SEO, JUNG-HUN
【주민등록번호】	740120-1347916

【우편번호】	440-040
【주소】	경기도 수원시 장안구 신풍동 157번지 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	최길현
【성명의 영문표기】	CHOI, GIL-HEYUN
【주민등록번호】	661001-1009316
【우편번호】	449-910
【주소】	경기도 용인시 구성면 보정리 행원마을 동아솔레시티아파트 104동 101호
【국적】	KR
【발명자】	
【성명의 국문표기】	이종명
【성명의 영문표기】	LEE, JONG-MYEONG
【주민등록번호】	700307-1001015
【우편번호】	463-749
【주소】	경기도 성남시 분당구 분당동 샛별마을 삼부아파트 414동 10 2호
【국적】	KR
【발명자】	
【성명의 국문표기】	박희숙
【성명의 영문표기】	PARK, HEE-SOOK
【주민등록번호】	710401-2006015
【우편번호】	100-453
【주소】	서울특별시 종구 신당3동 366-37
【국적】	KR
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에의하여 위와 같 이 제출합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【보정료】	0 원
【기타 수수료】	원
【합계】	0 원

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.06.03
【발명의 명칭】	반도체 장치의 도전성 구조체 형성 방법
【발명의 영문명칭】	Method Of Forming Conductive Structure of Semiconductor Device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	서정훈
【성명의 영문표기】	SEO, JUNG-HUN
【주민등록번호】	740120-1347916
【우편번호】	440-040
【주소】	경기도 수원시 장안구 신풍동 157번지 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	최길현
【성명의 영문표기】	CHOI, GIL-HEYUN
【주민등록번호】	661001-1009316
【우편번호】	449-913
【주소】	경기도 용인시 구성면 보정리 행운마을 동아솔레시티아파트 104 동 10 1호
【국적】	KR

## 【발명자】

【성명의 국문표기】 윤주영  
 【성명의 영문표기】 YUN, JOO-YOUNG  
 【주민등록번호】 680103-1024830  
 【우편번호】 158-071  
 【주소】 서울특별시 양천구 신정1동 신시가지9단지아파트 922동 903호  
 【국적】 KR

## 【발명자】

【성명의 국문표기】 이종명  
 【성명의 영문표기】 LEE, JONG-MYEONG  
 【주민등록번호】 700307-1001015  
 【우편번호】 463-749  
 【주소】 경기도 성남시 분당구 분당동 샛별마을 삼부아파트 414동 102호  
 【국적】 KR

## 【발명자】

【성명의 국문표기】 박희숙  
 【성명의 영문표기】 PARK, HEE-SOOK  
 【주민등록번호】 710401-2006015  
 【우편번호】 100-453  
 【주소】 서울특별시 중구 신당3동 366-37  
 【국적】 KR

## 【심사청구】

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인  
 임창현 (인) 대리인  
 권혁수 (인)

## 【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	14	면	14,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	35	항	1,229,000	원
【합계】			1,272,000	원
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

반도체 장치의 도전성 구조체 형성 방법을 제공한다. 이 방법은 반도체기판 상에 하부 도전 패턴을 형성하고, 금속유기 전구체를 사용하여 베리어 금속막을 증착한 후, 증착된 베리어 금속막을 정화하는 단계를 포함한다. 베리어 금속막을 정화하는 단계는  $TiCl_4$  가스 및 아르곤 가스를 포함하는 공정 가스를 사용하여, 200 내지 500 °C의 온도에서 실시하는 것이 바람직하다.

**【대표도】**

도 4

**【명세서】****【발명의 명칭】**

반도체 장치의 도전성 구조체 형성 방법{Method Of Forming Conductive Structure of Semiconductor Device}

**【도면의 간단한 설명】**

도 1 및 도 2는 종래 기술에 따른 반도체 장치의 도전성 구조체 형성 방법을 설명하기 위한 공정 단면도들이다.

도 3 내지 도 10은 본 발명의 실시예들에 따른 반도체 장치의 도전성 구조체 형성 방법을 설명하기 위한 공정 순서도들이다.

도 11은 본 발명의 일 실시예에 따라 형성된 반도체 장치의 도전성 구조체를 설명하기 위한 공정 단면도이다.

도 12은 본 발명의 다른 실시예에 따라 형성된 반도체 장치의 도전성 구조체를 설명하기 위한 공정 단면도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 장치의 제조 방법에 관한 것으로서, 특히 반도체 장치에 사용되는 도전성 구조체를 형성하는 방법에 관한 것이다.

<6> 반도체 장치에는 다양한 종류의 도전성 물질들이 사용되고 있다. 상기 도전성 물질들은 반도체 장치의 전자 소자들을 전기적으로 연결하는 배선 구조체로 사용될 수 있다. 상기 배선

을 형성하기 위한 금속 공정은 집적 회로 제조 과정의 마무리 단계로서, 반도체 장치의 수율(yield) 및 신뢰도(reliability)에 큰 영향을 주는 공정 단계이다.

<7> 상기 도전성 물질들은 다른 도전성 물질 및 절연성 물질에 접촉할 수 있다. 이처럼 서로 다른 물질들이 접촉하는 경우, 열팽창 계수의 차이에 의해 도전성 물질이 벗겨지는 현상이 발생할 수 있다. 또한, 서로 다른 도전성 물질들이 접촉하는 경우, 전기 전도도가 낮은 물질이 생성되어 배선 저항이 급격히 증가하는 문제 등이 발생할 수 있다. 이러한 문제점을 최소화하기 위하여, 베리어 금속막이라고 불리는 소정의 도전성 물질을 형성하는 방법이 사용되고 있다.

<8> 상기 베리어 금속막은, 통상적으로, 콘택홀 또는 비아홀 등과 같이 큰 종횡비를 갖는 캡영역을 통해 서로 다른 도전 패턴들을 연결하는 경우에 사용된다. 이처럼 큰 종횡비(aspect ratio)를 갖는 캡 영역을 콘포말하게 덮기 위해서, 상기 베리어 금속막은 우수한 충덮힘성(step coverage)을 갖는 것이 필요하다. 또한, 상술한 것처럼, 배선 형성 공정은 반도체 제조 과정의 마무리 단계이기 때문에, 상기 베리어 금속막을 형성하는 단계는 낮은 공정 온도에서 실시돼야 한다. 왜냐하면, 상기 베리어 금속막은 트랜지스터 또는 커패시터 등의 구조물이 이미 형성된 결과물 상에 형성되는데, 고온 공정은 상기 트랜지스터 또는 커패시터의 특성을 열화시키기 때문이다. 이처럼 저온 공정에 대한 필요성은 용융점이 낮은 알루미늄막이 형성된 상태에서 실시되는 베리어 금속막의 증착 공정에서는 더욱 증가한다.

<9> 상기 베리어 금속막은 스퍼터링(sputtering) 기술을 포함하는 물리적 기상 증착(physical vapor deposition, PVD)을 통해 형성될 수 있다. 하지만, 물리적 기상 증착의 방법은 상술한 충덮힘성이 나쁘기 때문에, 큰 종횡비를 갖는 캡영역에서 베리어 금속막을 형성하는 방법으로는 적절하지 않다.

- <10> 이러한 물리적 기상 증착의 문제점을 극복하기 위한 방법으로 화학기상증착의 방법을 사용하는 베리어 금속막의 형성 방법이 제안되었다. 비록, 화학기상증착의 방법을 사용하면 우수한 층덮힘성을 갖는 베리어 금속막을 형성할 수 있지만, 통상적으로 공정 온도가 높아지는 또 다른 문제점을 갖는다. 이에 따라, 최근에는 저온 공정이 가능하면서, 우수한 층덮힘성을 제공하는 금속유기 화학기상증착의 방법이 사용되고 있다.
- <11> 도 1 및 도 2는 상술한 종래 기술의 한가지 실시예인, 금속유기 화학기상증착 공정을 사용하여 베리어 금속막을 형성하는 방법을 나타내는 공정 단면도들이다.
- <12> 도 1 및 도 2를 참조하면, 반도체기판(10) 상에 하부 도전 패턴(20)을 형성한다. 상기 하부 도전 패턴(20)을 포함하는 반도체기판의 전면에 층간절연막(30)을 형성한 후, 이를 패터닝하여 상기 하부 도전 패턴(20)의 상부면을 노출시키는 비아홀(35)을 형성한다. 이후, 상기 비아홀(35)의 내벽 및 상기 층간절연막(30)의 상부면을 콘포말하게 덮는 베리어 금속막(40)을 형성한다. 상기 베리어 금속막(40)은 금속 유기 전구체를 사용하는 화학기상증착의 방법으로 형성한다. 이후, 상기 베리어 금속막(40) 상에, 상기 비아홀(35)을 채우는 상부 도전막(50)을 형성한다.
- <13> 한편, 금속유기 전구체를 사용하기 때문에, 상기 베리어 금속막(40) 내에는 탄소가 포함될 수 있다. 이처럼 탄소가 포함될 경우, 상기 베리어 금속막(40)은 다공성 구조를 갖게 된다. 후속 공정을 진행하기 전에 상기 다공성의 베리어 금속막(40)이 제조 라인 내에서 대기할 경우, 대기 중의 산소 원소가 상기 베리어 금속막(40) 내로 침투하는 현상이 발생한다. 이러한 산소 침투는 상기 베리어 금속막(40)의 저항을 증가시킴으로써, 신호 전송의 지연 및 소비 전력의 증가와 같은 문제를 유발한다.

<14> 이에 따라, 상기 베리어 금속막(40)을 형성하는 도중 또는 직후에 수소 및 질소를 포함하는 공정 가스를 사용하는 플라즈마 처리를 더 실시한다. 상기 플라즈마 처리는 금속유기 전구체를 사용하여 형성된 상기 베리어 금속막(40) 내의 탄소를 제거하기 위한 목적으로 수행된다.

<15> 한편, 종래 기술의 방법에 따라 실시된 실험에 따르면, 도 1에 도시한 것처럼, 상기 비아홀(35)의 종횡비( $h_1/w_1$ )가 4 이하인 경우에는 상기 상부 도전막(50)의 매립 특성은 양호하였다. 반면, 도 2에 도시한 것처럼, 상기 비아홀(35)의 종횡비( $h_2/w_2$ )가 큰 경우에는 상기 상부 도전막(50)은 상기 비아홀(35)을 완전히 매립하지 못하였다. 이러한 종횡비와 매립 특성 사이의 관계는 종횡비가 증가함에 따라 상기 플라즈마 처리의 효능이 저하되는 현상에 연관된다. 즉, 이온화된 원자는 종횡비가 큰 캡영역의 하부에까지 도달하기 어려워서, 이 하부 영역에서 탄소의 제거가 효과적으로 이루어지지 않는다. 이처럼 탄소가 충분히 제거되지 않은 영역에 침투한 산소는 후속 상부 금속막(50)을 형성하기 직전에 방출(outgassing)된다. 상기 방출 가스(outgassing gas)는 상기 상부 금속막(50)의 매립 특성 및 접착 특성을 저하시킨다. 그 결과, 도 2에 도시한 것처럼, 비아홀 내에 공극(void)이 형성될 수 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<16> 본 발명이 이루고자 하는 기술적 과제는 베리어 금속막을 포함하는 도전성 구조체를 형성하는 방법을 제공하는 데 있다.

#### 【발명의 구성 및 작용】

<17> 상기 기술적 과제들을 달성하기 위하여, 본 발명은 베리어 금속막의 표면을 정화(flushing)하는 단계를 포함하는 반도체 장치의 도전성 구조체 형성 방법을 제공한다. 이 방법

은 반도체기판 상에 하부 도전 패턴을 형성하고, 상기 하부 도전 패턴을 포함하는 반도체기판 상에 베리어 금속막을 형성한 후, 상기 베리어 금속막을 정화하는 단계를 포함한다. 이후, 상기 정화된 베리어 금속막을 포함하는 반도체기판 상에, 상부 도전막을 형성한다.

<18> 본 발명의 일 실시예에 따르면, 상기 베리어 금속막은 티타늄 질화막(TiN), 티타늄 실리콘 질화막(TiSiN), 탄탈륨 실리콘 질화막(TaSiN) 및 탄탈륨 질화막(TaN) 중에서 선택된 적어도 한가지 물질로 형성할 수 있다. 또한, 상기 베리어 금속막을 형성하는 방법으로는 금속유기 화학기상증착(MO-CVD) 및 원자층 증착(ALD) 중의 한가지 방법이 사용될 수 있다. 상기 베리어 금속막이 티타늄 질화막으로 형성하는 경우, 상기 금속유기 화학기상증착 공정은 TDEAT 및 TDMAT를 포함하는 금속유기 전구체들(metal organic precursors) 중의 한가지를 사용할 수 있다.

<19> 본 발명의 일 실시예에 따르면, 상기 베리어 금속막을 형성하는 단계는 플라즈마 처리하는 단계를 더 포함할 수 있다. 상기 플라즈마 처리는 질소 가스 및 수소 가스를 포함하는 공정 가스를 사용하는 것이 바람직하다.

<20> 본 발명의 일 실시예에 따르면, 상기 베리어 금속막을 정화하기 전에, 불활성 가스 분위기에서 상기 베리어 금속막에 포함된 가스를 제거하는 단계를 더 실시할 수 있다. 바람직하게는, 상기 가스 제거의 단계는 대략 200 내지 500°C의 온도 및 대략 1 mTorr 내지 100 Torr의 압력에서 실시한다.

<21> 본 발명의 바람직한 일 실시예에 따르면, 상기 베리어 금속막을 정화하는 단계는 할로겐족 원소를 포함하는 가스들 및 할로겐족 원소와 전이 금속을 포함하는 가스들 중에서 선택된 적어도 한가지 가스를 사용하여 실시한다. 또한, 상기 베리어 금속막을 정화하는 단계는 불활성 가스들, 수소 가스 및 질소 가스 중에서 선택된 적어도 한가지를 더 사용할 수도 있다. 이

에 더하여, 상기 베리어 금속막을 정화하는 단계는 200 내지 500°C의 온도, 1 내지 100 torr의 압력에서, 1초 내지 10분의 시간동안 실시하는 것이 바람직하다.

<22> 바람직하게는, 상기 베리어 금속막을 정화하는 단계는 아르곤 가스 및 TiCl<sub>4</sub> 가스를 각각 500 내지 10000sccm 및 1 내지 100sccm의 유량으로 공급하면서 실시한다.

<23> 본 발명의 일 실시예에 따르면, 상기 베리어 금속막을 정화한 후, 또다른 베리어 금속막을 더 형성할 수 있다. 상기 또다른 베리어 금속막은 스퍼터링 기술을 사용하여 형성하며, 바람직하게는 티타늄 질화막(TiN), 티타늄 실리콘 질화막(TiSiN), 탄탈륨 실리콘 질화막(TaSiN) 및 탄탈륨 질화막(TaN) 중에서 선택된 적어도 한가지 물질로 형성한다.

<24> 본 발명의 일 실시예에 따르면, 상기 하부 도전 패턴은 텅스텐, 알루미늄, 다결정 실리콘, 구리, 티타늄, 티타늄 질화막, 탄탈륨, 탄탈륨 실리콘 질화막 및 탄탈륨 질화막 중에서 선택된 적어도 한가지 물질로 형성할 수 있다. 또한, 상기 상부 도전막은 텅스텐, 알루미늄, 다결정 실리콘 및 구리 중에서 선택된 적어도 한가지 물질로 형성할 수 있다.

<25> 본 발명의 일 실시예에 따르면, 상기 베리어 금속막을 형성하는 단계 및 상기 베리어 금속막을 정화하는 단계로 구성되는 한 주기의 공정 단계는 적어도 한번 반복하여 실시한다.

<26> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이

다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

<27>      도 3 내지 도 10은 본 발명의 실시예들에 따른 반도체 장치의 도전성 구조체 형성 방법을 설명하기 위한 공정 순서도들이다. 도 11은 본 발명의 바람직한 실시예에 따른 반도체 장치의 도전성 구조체의 형성 방법을 설명하기 위한 공정 단면도이다.

<28>      도 3 및 도 11을 참조하면, 반도체기판(10) 상에 하부 도전 패턴(20)을 형성한다(100). 상기 하부 도전 패턴(20)을 포함하는 반도체기판 상에 층간절연막(30)을 형성한다. 상기 층간 절연막(30)을 패터닝하여 상기 하부 도전 패턴(20)의 상부면을 노출시키는 개구부(35)를 형성한다. 상기 개구부(35)를 포함하는 반도체기판 상에 베리어 금속막(40)을 형성한다(110). 상기 베리어 금속막(40) 상에, 상기 개구부(35)를 채우는 상부 도전막(50)을 형성한다(150). 본 발명의 바람직한 실시예에 따르면, 상기 베리어 금속막(40)을 형성한 후, 정화(fushing) 공정을 더 실시한다(130).

<29>      먼저, 상기 하부 도전 패턴(20)은 텅스텐(W), 알루미늄(Al), 다결정 실리콘(Si), 구리(Cu), 티타늄(Ti), 티타늄 질화막(TiN), 탄탈륨(Ta), 탄탈륨 실리콘 질화막(TaSiN) 및 탄탈륨 질화막(TaN) 중에서 선택된 적어도 한가지 물질로 형성할 수 있다. 또한, 상기 하부 도전 패턴(20)은 모오스 전계효과트랜지스터(metal-oxide-silicon field effect transistor, MOSFET) 또는 커패시터 구조체가 형성된 반도체기판 상에 형성될 수 있다. 결과적으로, 상기 하부 도전 패턴(20)은 비트 라인(Bit Line), 소오스 라인(Source Line), 금속 배선들 및 게이트 패턴 등과 같은 다양한 도전성 구조물들 중의 한가지일 수 있다.

<30>      상기 베리어 금속막(40)은 티타늄 질화막(TiN), 티타늄 실리콘

질화막(TiSiN), 탄탈륨 실리콘 질화막(TaSiN) 및 탄탈륨 질화막(TaN) 중에서 선택된 적어도 한 가지 물질로 형성할 수 있다. 또한, 상기 베리어 금속막(40)은 금속유기 전구체(metal organic precursor)를 사용하는 화학 기상 증착(chemical vapor deposition, CVD) 공정을 사용하여 형성할 수 있다. 상기 베리어 금속막(40)으로 상기 티타늄 질화막을 사용하는 경우, 상기 금속유기 전구체는 TDEAT 또는 TDMAT일 수 있다. 상기 베리어 금속막(40)을 형성하는 단계는 수소( $H_2$ ) 및 질소( $N_2$ )를 포함하는 공정 가스로 플라즈마 처리하는 단계를 포함할 수 있다. 상기 플라즈마 처리는 상기 베리어 금속막(40) 내에 포함된 탄소 성분을 제거하는 기능을 수행한다. 하지만, 반도체 장치가 고집적화됨에 따라 캡영역들은 더욱 큰 종횡비를 갖는 추세이다. 이처럼 큰 종횡비를 갖는 캡영역의 하부에서는, 종래 기술에서 설명한 것처럼, 상기 플라즈마 처리가 충분히 수행되지 않을 수 있다.

<31> 이러한 플라즈마 처리의 불완전함에 따른 문제점은 상기 정화 공정(130)을 통해 최소화 될 수 있다. 본 발명의 일 실시예에 따르면, 상기 베리어 금속막을 정화하는 단계(130)는 할로겐족 원소를 포함하는 가스들 및 할로겐족 원소와 전이 금속을 포함하는 가스들 중에서 선택된 적어도 한가지 가스를 사용하여, 200 내지 500°C의 온도에서 실시할 수 있다. 이때, 헬륨(He), 네온(Ne) 및 아르곤(Ar)을 포함하는 불활성 가스들, 수소( $H_2$ ) 가스 및 질소( $N_2$ ) 가스 중에서 선택된 적어도 한가지가 더 사용될 수도 있다. 바람직하게는, 상기 베리어 금속막을 정화하는 단계(130)는 아르곤 및  $TiCl_4$  가스를 각각 500 내지 10000sccm 및 1 내지 100sccm의 유량으로 공급하면서, 대략 300 내지 450°C의 온도에서 실시한다. 또한, 상기 베리어 금속막을 정화하는 단계(130)는 1 내지 100 torr의 압력에서, 1초 내지 10분의 시간동안 실시하는 것이 바람직하다.

<32> 상기 상부 도전막(50)은 텅스텐(W), 알루미늄(Al), 다결정 실리콘(Si) 및 구리(Cu) 중에서 선택된 적어도 한가지 물질로 형성할 수 있다. 바람직하게는, 상기 베리어 금속막을 정화하는 단계(130)는 상기 상부 도전막(50)을 형성하는 단계(150)의 직전에 실시하는 것이 바람직하다. 상기 하부 도전 패턴(20) 또는 상기 상부 도전막(50)을 알루미늄으로 형성하는 경우, 상기 알루미늄은 MPA(methylpyrrolidine alane), DMEAA(dimethylethylamine alane), DMAH(dimethylaluminum hydride) 및 TMAA(trimethylamine alane) 중에서 선택된 적어도 한가지를 전구체로 사용하는 금속유기 화학기상증착의 방법으로 형성될 수도 있다.

<33> 본 발명의 다른 실시예에 따르면, 도 3을 통해 설명된 정화 공정(130)을 실시하기 전에, 상기 베리어 금속막(40) 내에 포함된 방출 가스 소스(outgassing source)를 제거하는 가스 제거(degas) 공정(120)을 더 실시한다(도 4 참조). 상기 가스 제거 공정(120)을 제외하면, 이 다른 실시예는 도 3을 통해 설명된 실시예와 동일하므로, 중복되는 설명은 생략한다.

<34> 종래 기술에서 설명했던 것처럼, 상기 베리어 금속막(40)이 형성된 반도체 기판이 후속 공정을 수행하기 위해 제조 라인 내에서 대기하는 동안, 공기 중으로부터 상기 베리어 금속막(40)의 내부로 산소가 침투할 수 있다. 상기 베리어 금속막(40) 내로 상기 산소가 침투할 경우, 상기 상부 금속막(50)을 형성하는 후속 공정은 불량한 매립(gap-fill) 특성을 가질 수 있다. 또한, 상기 상부 금속막(50)을 형성하기 위해, 상기 베리어 금속막(40)이 형성된 반도체기판을 저압의 공정 챔버로 로딩할 경우, 상기 대기로부터 침투한 가스가 방출될 수 있다. 이러한 가스는 통상적으로 상기 방출 가스 소스(outgassing source)라고 불린다.

<35> 상기 가스 제거 공정(120)은 상기 방출 가스 소스(outgassing source)를 제거하기 위한 공정으로, 그 효과를 극대화하기 위해서는, 대략 200 내지 500°C의 온도 및 대략 1 mTorr 내지

100 Torr 이하의 저압에서 실시하는 것이 바람직하다. 또한, 상기 가스 제거 공정(120)은 아르곤을 포함하는 불활성 가스 분위기에서 실시하는 것이 바람직하다.

<36> 【표 1】

공정 방법에 따른 상부 금속막의 매립 특성

	가스 제거 공정1 (400°C)	가스 제거 공정2 (500°C)	가스 제거 공정3(300°C) + 정화 공정(400°C)	정화 공정(400°C)
상부 금속막의 매립 특성	불량	양호	양호	양호

<37> 위 표 1에서 보는 것처럼, 대략 400°C 온도에서 가스 제거 공정을 실시한 경우(가스 제거 공정1), 상부 금속막은 불량한 매립 특성을 나타내었다. 반면, 대략 500°C의 온도에서 가스 제거 공정을 실시한 경우(가스 제거 공정2), 상부 금속막은 양호한 매립 특성을 나타내었다. 하지만, 상기 500°C의 온도는 불순물의 확산 및 알루미늄의 용융을 유발하기에 충분히 높은 온도이다. 따라서, 상기 가스 제거 공정 만을 사용하는 방법은 저온 공정이 요구되는 반도체 장치에서는 적절하지 않다.

<38> 반면, 대략 300°C의 온도에서 가스 제거 공정(120) 및 상기 정화 공정(130)을 함께 실시하는 경우 또는 상기 정화 공정(130) 만을 실시하는 경우에는 양호한 매립 특성을 갖는 상부 금속막을 형성할 수 있었다. 따라서, 본 발명에 따른 정화 공정(130)은 상기 가스 제거 공정(120)의 온도를 감소시키거나 상기 가스 제거 공정(120) 자체를 생략하는데 기여할 수 있다.

<39> 본 발명의 또 다른 실시예에 따르면, 도 3을 통해 설명된 정화 공정(130)을 실시한 후, 상기 베리어 금속막(40)의 표면에 또 다른 베리어 금속막(42)을 형성하는 단계(140)를 더 실시 할 수 있다(도 5 및 도 12 참조). 상기 또 다른 베리어 금속막(42)을 형성하는 단계(140)를 제외하면, 이 또 다른 실시예는 도 3을 통해 설명된 실시예와 동일하므로, 중복되는 설명은 생략 한다.

<40> 상기 또 다른 베리어 금속막(42)은 스퍼터링을 포함하는 물리기상증착의 방법으로 형성한다(140). 상기 물리기상증착은 일반적으로 저온에서 실시되고, 금속유기 전구체와 같은 유기물(organic material)을 사용하지 않는다. 이에 따라, 탄소를 포함하는 상기 베리어 금속막(20)이 노출되는 현상을 예방함으로써, 탄소에서 유래하는 다양한 문제들을 최소화할 수 있다. 상기 또 다른 베리어 금속막(42)은 티타늄 질화막(TiN), 티타늄 실리콘 질화막(TiSiN), 탄탈륨 실리콘 질화막(TaSiN) 및 탄탈륨 질화막(TaN) 중에서 선택된 적어도 한가지 물질을 사용하는 것이 바람직하다.

<41> 본 발명의 일 실시예(some embodiment)에 따르면, 도 3을 통해 설명된 실시예에 더하여 도 4 및 도 5를 통해 설명된 가스 제거(degas) 공정(120) 및 스퍼터링 방법을 사용하여 또 다른 베리어 금속막을 형성하는 단계(140)를 모두 포함할 수 있다(도 6 및 도 12 참조). 도 4 및 도 5를 통해 설명된 상기 두가지 추가된 공정 단계들(120 및 140)를 제외하면, 이 실시예는 도 3을 통해 설명된 실시예와 동일하므로 이에 대한 설명은 생략한다.

<42> 도 3 내지 도 6에서 설명된 실시예들은 MOCVD 방식으로 베리어 금속막을 형성한다. 상기 베리어 금속막은 원자층 증착의 방법으로 형성될 수도 있다. 도 7 및 도 8은 이러한 원자층 증착의 방법으로 베리어 금속막을 형성하는 방법을 나타낸다.

<43> 도 7 및 도 11을 참조하면, 반도체기판(10) 상에 하부 도전 패턴(20)을 형성한다(100). 상기 하부 도전 패턴(20)을 포함하는 반도체기판의 전면에 원자층 증착의 방법으로 베리어 금속막(40)을 형성한다(200). 이후, 상기 베리어 금속막(40)을 포함하는 반도체기판 상에 상부 금속막(50)을 형성한다(150). 상기 하부 도전 패턴(20) 및 상기 상부 금속막(50)은 앞서 설명한 실시예에서와 동일한 방법으로 형성할 수 있다.

<44> 한편, 상기 베리어 금속막(40)을 원자층 증착의 공정을 사용하여 형성하는 방법은 베리어 금속막을 형성하는 단계(203) 및 상기 형성된 베리어 금속막을 정화하는 단계(205)로 구성되는 한 주기의 공정 단계(208)를 포함한다. 본 발명의 바람직한 실시예에 따르면, 상기 한 주기의 공정 단계(208)는 적어도 한번 반복적으로 실시할 수 있다(도 9 참조). 이때, 상기 베리어 금속막을 형성하는 단계(203)는 각 주기마다 서로 다른 공정 조건(예를 들면, 증착 두께)이 적용되는 원자층 증착 기술을 사용하여 형성하는 것이 바람직하다( $T_i = T(i)$ ,  $T_i = i$  번째의 증착 두께,  $i = \text{주기 횟수}$ ). 상기 형성된 베리어 금속막을 정화하는 단계(205)는 도 3에서 설명한 정화 공정(130)과 동일할 수 있으며, 따라서 이에 대한 설명은 생략한다. 상기 한 주기의 공정 단계(208)는 상기 베리어 금속막을 정화하는 단계(205) 전 또는 후에 실시되는 퍼지(purge) 공정을 더 포함할 수 있다. 상기 퍼지 공정은 질소( $N_2$ ), 수소( $H_2$ ), 암모니아( $NH_3$ ) 및 사염화티탄( $TiCl_4$ ) 중에서 선택된 적어도 한가지 이상의 퍼지 가스(purging gas)를 사용할 수 있다.

<45> 원자층 증착의 공정을 사용하여 상기 베리어 금속막(40)을 형성하는 본 발명의 다른 실시예에 따르면, 한 주기의 공정 단계(208')는 도 9에서 설명된 한 주기의 공정 단계(208)에 가스 제거 단계(204)를 더 포함할 수도 있다(도 10 참조). 상기 가스 제거 단계(204)는 상기 정화 공정(205) 전에 원자층 증착의 방법으로 형성된 베리어 금속막에 대해 실시한다. 상기 가스 제거 단계(204)는 도 4에서 설명한 가스 제거 공정(120)과 동일할 수 있으며, 따라서 이에 대한 설명은 생략한다.

<46> 도 7에서 설명된 실시예의 변형예로서, 원자층 증착의 방법으로 상기 베리어 금속막(40)을 형성한 후(200), 도 5에서 설명한 스퍼터링 방법을 사용하여 또다른 베리어 메탈(42)을 형성하는 단계(140)를 더 실시할 수도 있다(도 8 및 도 12 참조). 이때, 상기 베리어 금속막(40)

을 원자층 증착의 방법으로 형성하는 단계(200)는 도 9 및 도 10을 통해 앞서 설명한 바와 동일하다.

<47> 상술한 본 발명의 실시예들에 따르면, 상기 베리어 금속막(40)의 표면은 상기 정화 공정(130 또는 205)을 통해 세정되어, 상기 비아홀(35)의 종횡비( $h_3/w_3$ )가 13 이상인 경우에도 상기 상부 금속막(50)은 우수한 매립 특성을 나타내었다. 또한, 상기 상부 금속막(50)이 벗겨지는 현상은 발견되지 않았다. 즉, 본 발명의 실시예에 따를 경우, 상기 상부 금속막(50)의 접착 특성 역시 개선된다.

### 【발명의 효과】

<48> 본 발명에 따르면, 금속유기 화학기상증착 공정 또는 원자층 증착 공정을 사용하여 형성된 베리어 금속막을 정화하는 단계를 포함하는 도전성 구조체의 형성 방법을 제공한다. 금속유기 화학기상증착 공정 또는 원자층 증착 공정을 사용함으로써, 상기 베리어 금속막은 저온에서 형성될 수 있다. 또한, 상기 베리어 금속막의 표면을 세정(cleaning)하는 상기 정화 공정(flushing process)은 탄소의 불충분한 제거 및 그에 따른 산소의 방출(outgassing) 현상 등의 문제를 최소화한다. 이에 따라, 후속 상부 금속막의 매립 특성 및 접착 특성을 개선할 수 있다. 또한, 상기 정화 공정은 반도체 장치에 열적 부담(thermal budget)을 최소화하는 저온 공정이 가능하다. 결과적으로, 본 발명에 따르면 우수한 특성을 갖는 도전성 구조체를 저온 공정을 통해 형성할 수 있다.

**【특허청구범위】****【청구항 1】**

반도체기판 상에 하부 도전 패턴을 형성하는 단계;

상기 하부 도전 패턴을 포함하는 반도체기판 상에, 베리어 금속막을 형성하는 단계;

상기 베리어 금속막을 정화하는 단계; 및

상기 정화된 베리어 금속막을 포함하는 반도체기판 상에, 상부 도전막을 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 2】**

제 1 항에 있어서,

상기 하부 도전 패턴은 텅스텐, 알루미늄, 다결정 실리콘, 구리, 티타늄, 티타늄 질화막, 탄탈륨, 탄탈륨 실리콘 질화막 및 탄탈륨 질화막 중에서 선택된 적어도 한가지 물질로 형성하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 3】**

제 1 항에 있어서,

상기 베리어 금속막은 티타늄 질화막(TiN), 티타늄 실리콘 질화막(TiSiN), 탄탈륨 실리콘 질화막(TaSiN) 및 탄탈륨 질화막(TaN) 중에서 선택된 적어도 한가지 물질로 형성하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 4】**

제 1 항에 있어서,

상기 베리어 금속막은 금속유기 화학기상증착(MO-CVD) 및 원자층 증착(ALD) 중의 한가지 방법을 사용하여 형성하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 5】**

제 4 항에 있어서,

상기 금속유기 화학기상증착 공정은 TDEAT 및 TDMAT를 포함하는 금속유기 전구체들 (metal organic precursors) 물질들 중의 한가지를 사용하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 6】**

제 4 항에 있어서,

상기 원자층 증착 공정은 질소( $N_2$ ), 수소( $H_2$ ), 암모니아( $NH_3$ ) 및 사염화티탄( $TiCl_4$ ) 중에서 선택된 적어도 한가지 이상의 퍼지 가스(purging gas)를 사용하는 퍼지 공정을 포함하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 7】**

제 1 항에 있어서,

상기 베리어 금속막을 형성하는 단계는 플라즈마 처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 8】**

제 7 항에 있어서,

상기 플라즈마 처리는 질소 가스 및 수소 가스를 포함하는 공정 가스를 사용하여 실시하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 9】**

제 1 항에 있어서,

상기 베리어 금속막을 정화하기 전에, 불활성 가스 분위기에서 상기 베리어 금속막에 포함된 가스를 제거하는 단계를 더 포함하되,

상기 가스 제거의 단계는 대략 200 내지 500°C의 온도 및 대략 1 mTorr 내지 100 Torr의 압력에서 실시하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 10】**

제 1 항에 있어서,

상기 베리어 금속막을 정화하는 단계는 200 내지 500°C의 온도에서 실시하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 11】**

제 1 항에 있어서,

상기 베리어 금속막을 정화하는 단계는 할로겐족 원소를 포함하는 가스들 및 할로겐족 원소와 전이 금속을 포함하는 가스들 중에서 선택된 적어도 한가지 가스를 사용하여 실시하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 12】**

제 11 항에 있어서,

상기 베리어 금속막을 정화하는 단계는 불활성 가스들, 수소 가스 및 질소 가스 중에서 선택된 적어도 한가지를 더 사용하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 13】**

제 1 항에 있어서,

상기 베리어 금속막을 정화하는 단계는 아르곤 가스 및  $TiCl_4$  가스를 사용하여 실시하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 14】**

제 13 항에 있어서,

상기 아르곤 가스는 500 내지 10000sccm의 유량으로 공급되고, 상기  $TiCl_4$  가스는 1 내지 100sccm의 유량으로 공급되는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 15】**

제 1 항에 있어서,

상기 베리어 금속막을 정화하는 단계는 1 내지 100 torr의 압력에서 실시하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 16】**

제 1 항에 있어서,

상기 베리어 금속막을 정화하는 단계는 1초 내지 10분의 시간동안 실시하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 17】**

제 1 항에 있어서,

상기 베리어 금속막을 정화한 후, 또다른 베리어 금속막을 형성하는 단계를 더 포함하되,

상기 또다른 베리어 금속막은 스퍼터링 기술을 사용하여 형성하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 18】**

제 17 항에 있어서,

상기 또다른 베리어 금속막은 티타늄 질화막(TiN), 티타늄 실리콘 질화막(TiSiN), 탄탈륨 실리콘 질화막(TaSiN) 및 탄탈륨 질화막(TaN) 중에서 선택된 적어도 한가지 물질로 형성하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 19】**

제 1 항에 있어서,

상기 상부 도전막은 텅스텐, 알루미늄, 다결정 실리콘 및 구리 중에서 선택된 적어도 한 가지 물질로 형성하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 20】**

제 1 항에 있어서,

상기 베리어 금속막을 형성하는 단계 및 상기 베리어 금속막을 정화하는 단계로 구성되는 한 주기의 공정 단계는 적어도 한번 반복하여 실시되는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 21】**

반도체기판 상에 하부 도전 패턴을 형성하는 단계;

상기 하부 도전 패턴을 포함하는 반도체기판 상에, 금속유기 전구체를 사용하여 베리어 금속막을 증착하는 단계;

상기 증착된 베리어 금속막을 정화하는 단계; 및

상기 정화된 베리어 금속막을 포함하는 반도체기판 상에, 상부 도전막을 형성하는 단계를 포함하되,

상기 베리어 금속막을 정화하는 단계는  $TiCl_4$  가스 및 아르곤 가스를 포함하는 공정 가스를 사용하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 22】**

제 21 항에 있어서,

상기 베리어 금속막은 티타늄 질화막(TiN), 티타늄 실리콘 질화막( $TiSiN$ ), 탄탈륨 실리콘 질화막( $TaSiN$ ) 및 탄탈륨 질화막(TaN) 중에서 선택된 적어도 한가지 물질로 형성하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 23】**

제 21 항에 있어서,

상기 금속유기 전구체는 TDEAT 및 TDMAT 중의 한가지를 사용하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 24】**

제 21 항에 있어서,

상기 베리어 금속막은 금속유기 화학기상증착(MO-CVD) 및 원자층 증착(ALD) 중의 한가지 방법을 사용하여 형성하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 25】**

제 24 항에 있어서,

상기 원자층 증착 공정은 질소( $N_2$ ), 수소( $H_2$ ), 암모니아( $NH_3$ ) 및 사염화티탄( $TiCl_4$ ) 중에서 선택된 적어도 한가지 이상의 퍼지 가스(purging gas)를 사용하는 퍼지 공정을 포함하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 26】**

제 21 항에 있어서,

상기 베리어 금속막을 증착하는 단계는 플라즈마 처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 27】**

제 26 항에 있어서,

상기 플라즈마 처리는 질소 가스 및 수소 가스를 포함하는 공정 가스를 사용하여 실시하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 28】**

제 21 항에 있어서,

상기 베리어 금속막을 정화하기 전에, 불활성 가스 분위기에서 상기 베리어 금속막에 포함된 가스를 제거하는 단계를 더 포함하되,

상기 가스 제거의 단계는 대략 200 내지 500°C의 온도 및 대략 1 mTorr 내지 100 Torr의 압력에서 실시하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 29】**

제 21 항에 있어서,

상기 베리어 금속막을 정화하는 단계는 200 내지 500°C의 온도에서 실시하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 30】**

제 21 항에 있어서,

상기 아르곤 가스는 500 내지 10000sccm의 유량으로 공급되고, 상기  $TiCl_4$  가스는 1 내지 100sccm의 유량으로 공급하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 31】**

제 21 항에 있어서,

상기 베리어 금속막을 정화하는 단계는 1 내지 100 torr의 압력에서 실시하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 32】**

제 21 항에 있어서,

상기 베리어 금속막을 정화하는 단계는 1초 내지 10분의 시간동안 실시하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 33】**

제 21 항에 있어서,

상기 베리어 금속막을 정화한 후, 또다른 베리어 금속막을 형성하는 단계를 더 포함하되,

상기 또다른 베리어 금속막은 스퍼터링 기술을 사용하여 형성하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 34】**

제 31 항에 있어서,

상기 또다른 베리어 금속막은 티타늄 질화막(TiN), 티타늄 실리콘 질화막(TiSiN), 탄탈륨 실리콘 질화막(TaSiN) 및 탄탈륨 질화막(TaN) 중에서 선택된 적어도 한가지 물질로 형성하는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

**【청구항 35】**

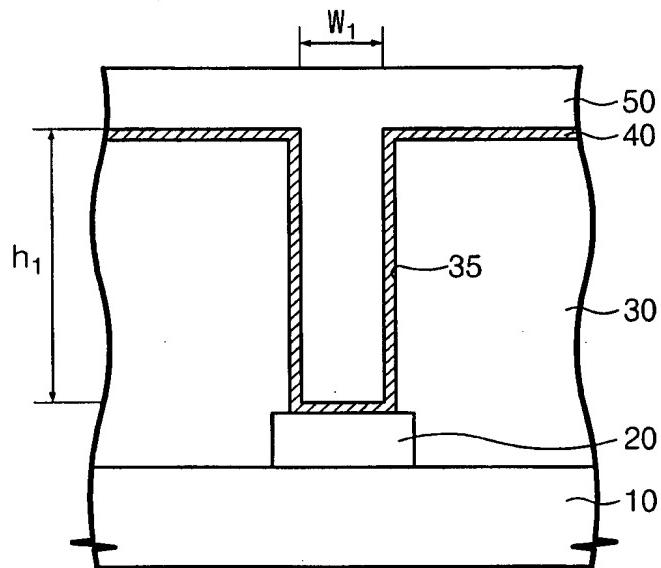
제 21 항에 있어서,

상기 베리어 금속막을 증착하는 단계 및 상기 베리어 금속막을 정화하는 단계로 구성되는 한 주기의 공정 단계는 적어도 한번 반복하여 실시되는 것을 특징으로 하는 반도체 장치의 도전성 구조체 형성 방법.

## 【도면】

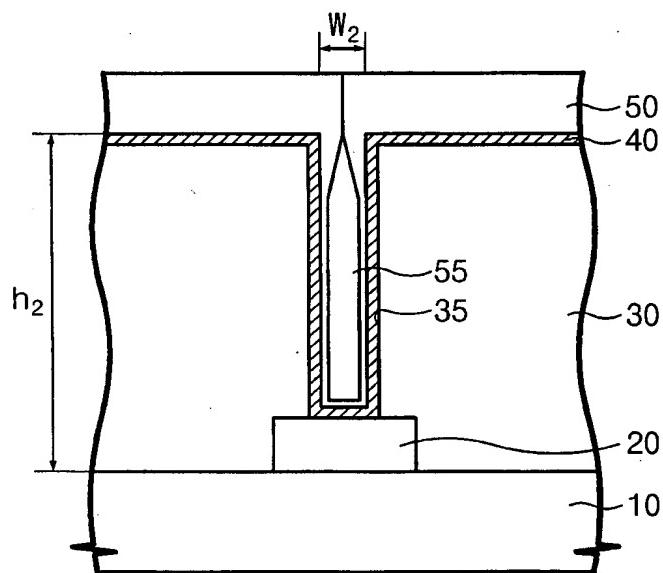
【도 1】

(종 래 기 술)

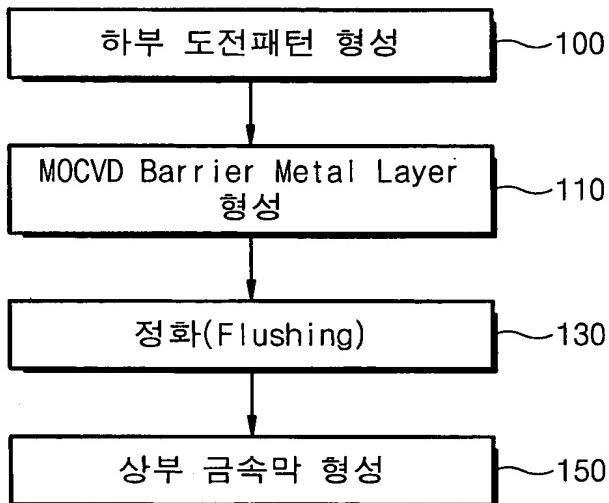


【도 2】

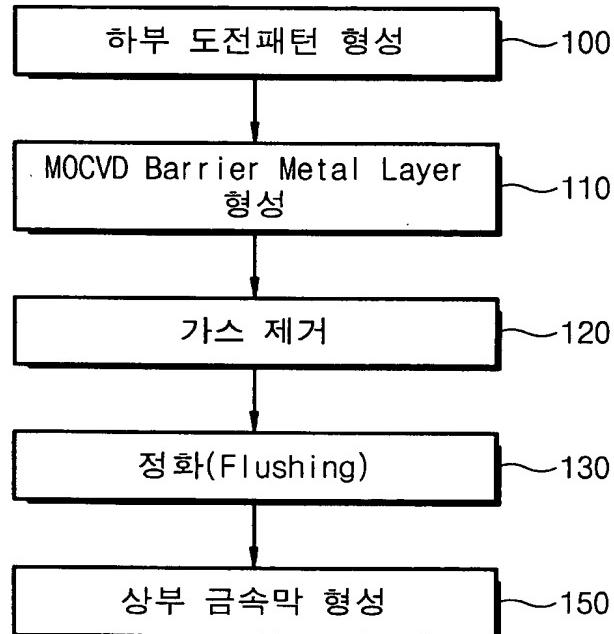
(종 래 기 술)



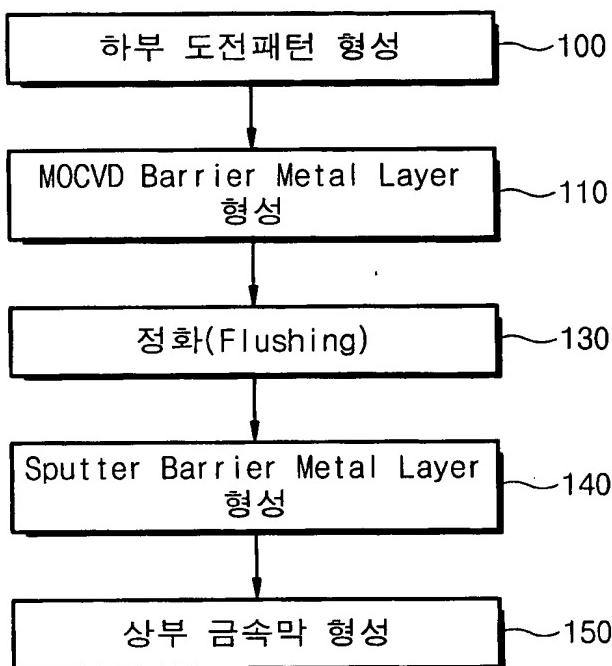
【도 3】



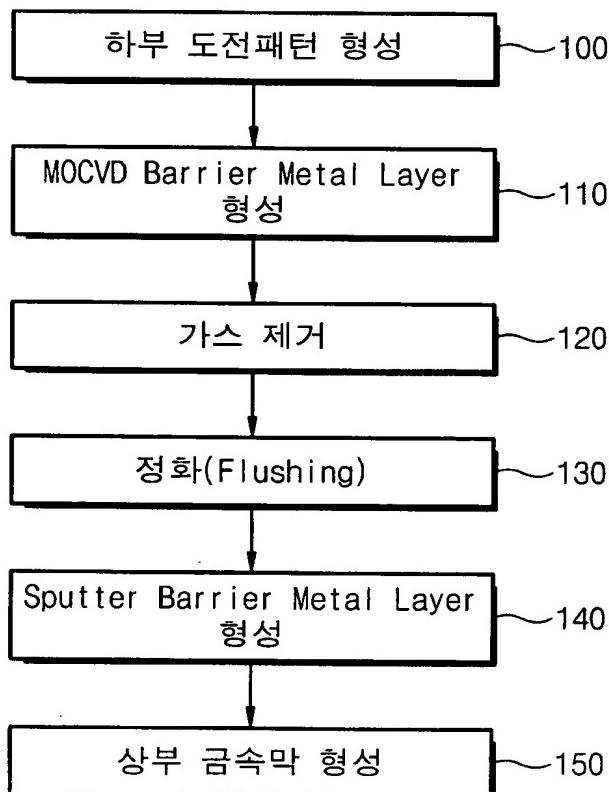
【도 4】



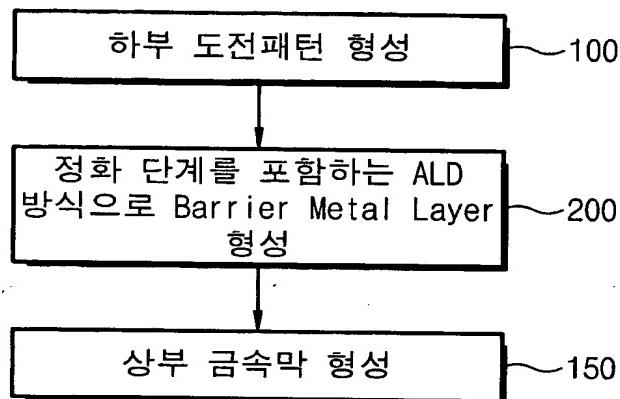
【도 5】



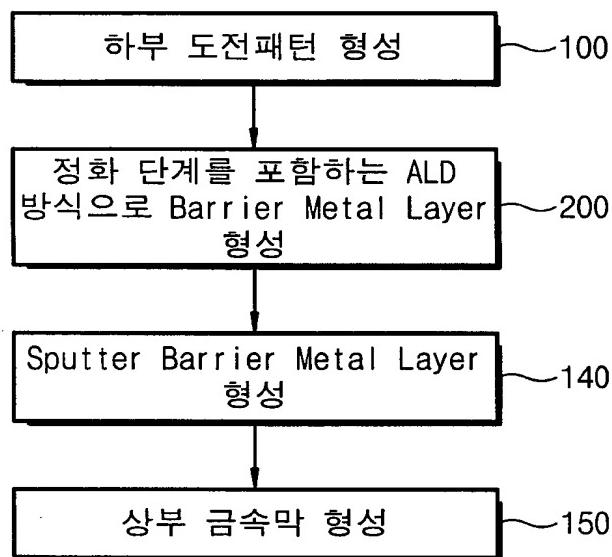
【도 6】



【도 7】



【도 8】

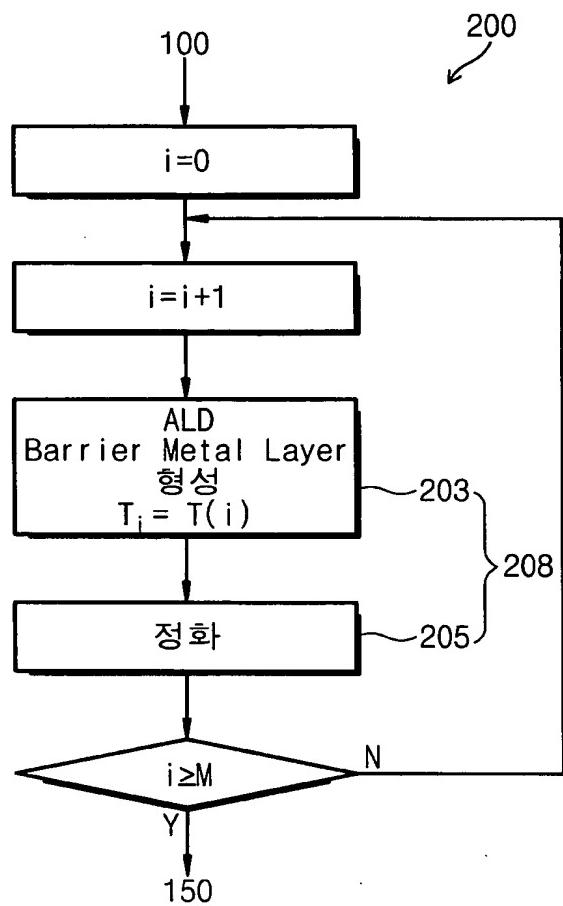




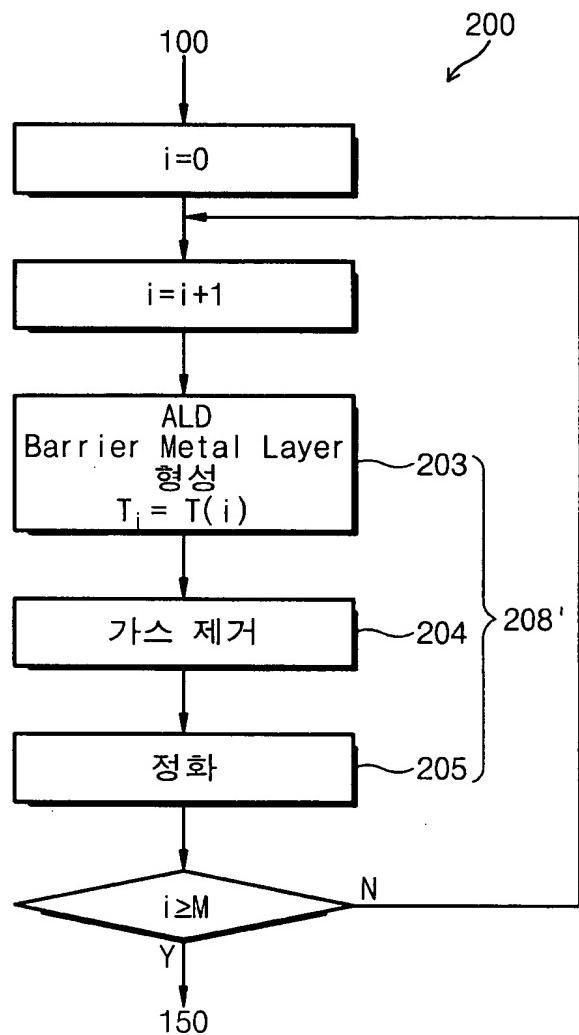
1020030035657

출력 일자: 2004/1/28

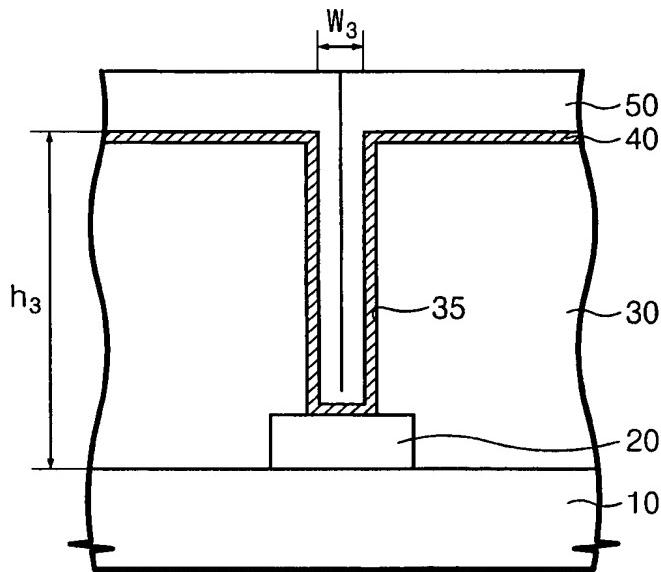
【도 9】



【도 10】



【도 11】



【도 12】

